

## 디자인 코너

# 90 나노미터 기술 위한 프론트 엔드 공정의 해결 과제

By Gregg Higashi  
CTO and Director of Emerging Technologies  
Front-end Products Business Group

Thorsten Lill  
Technology Director  
Silicon Etch Product Unit

Applied Materials Inc.

90 nm 기술 노드를 위한 FEOL(Front End of Line)의 해결 과제들은 이전 노드들이 당면했던 해결 과제들과 유사하다. 트랜지스터들은 축소되고 있으며, 한두 가지 새로운 소재와 공정들이 선보이고 있다. 그러나 비록 집적밀도가 향상되고 있기는 하지만, 연이어지는 각 노드에 대해 기대되는 성능 개선을 달성하기는 갈수록 더 힘들어지고 있다. 충분히 높은 구동 전류와 필요한 제조 상의 제어 능력을 지원하는 낮은 오프 상태 누설 전류를 달성하기는 특히 어렵다. 전 세계 여러 현장에서 시도되고 있는 잠재적인 솔루션들의 수는 다양하지만 몇 가지 추세가 뚜렷이 드러나고 있다. 혁신적인 신 공정들과 공정 시퀀스들, 그리고 공정 제어는 적극적인 90 nm 스케일링 목표를 달성하는 데 있어서 그 중요성이 한층 더 커졌다. IC 제조업체와 톨 공급업체들 간의 협력 관계가 중요해졌으며, 초기에 참여하는 것이야말로 요구되는 타임라인을 충족시킬 수 있는 유일한 길이다. 공정과 공정간 상호 작용, 디바이스, 그리고 디바이스 기술들에 대한 이해는 추구해야 할 잠재적인 경로들의 수를 제한하고 개발 일정을 궤도에서 벗어나지 않도록 도와 준다.

FEOL 스케일링은 집적 밀도를 향상시키는 동시에 트랜지스터 성능을 개선시키는 공정이다. 따라서 스케일링을 분리 스케일링과 트랜지스터 스케일링의 두 부분으로 나눌 수 있다.

### 분리 스케일링

90 nm 이하(sub-90nm) 노드에서 STI(shallow trench isolation)의 구현은 트랜치 해상도(리소그래피, 에칭), 라이너 산화, 침전된 산화물을 이용한 트랜치 충전(trench fill), CMP, 그리고 희생 산화막의 성장을 위한 또 다른 열 산화와 같은 양상들을 포함하여 더욱 어려워진다. STI의 스케일링에 따르는 주된 해결 과제들은 스케일링 종횡비와 코너 라운딩의 제어, 그리고 STI가 트랜지스터의 능동 영역에 미치는 스트레스와 관계가 있다. STI 종횡비(트렌치 깊이/트렌치 폭)는 3.5:1 정도인 것으로 추정된다. 에칭의 해결 과제는 테이퍼를 만드는 동시에 400 nm 깊이를 정확하게 제어하는 것이다. 아마도 보다 어려운 문제는 에칭 후에 충전시의 트랜치의 펀치오프로 인한 열쇠구멍 형태의 빈 공간을 뒤에 남기지 않고 트랜치를 채우는 일일 것이다.

HDP(High-density plasma)로 향상된 CVD 필름이 이 작업에 매우 적합하다는 사실이 알려져 있다. HDP CVD SiO<sub>2</sub>

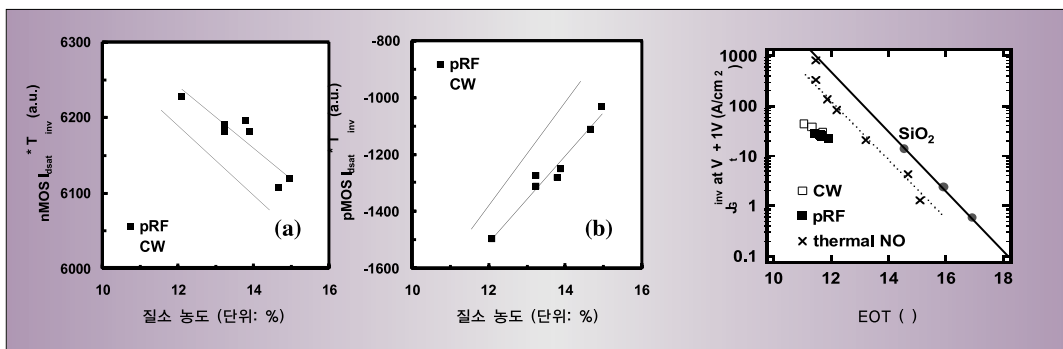


그림 1: (a) CW와 pRF 플라즈마 및 열 NO 산화물을 위한 EOT의 함수로 나타나는 nMOS 게이트 누설. (b) 통 채널 nMOS 및 pMOS 트랜지스터의 표준화된 포화 드레인 전류.

필름은 이 공정을 위한 업계 표준이 되었다. STI 스트레스가 미치는 영향도 어려운 해결 과제이다. 스트레스는 두 가지 이유에서 특히 문제가 된다. 스트레스는 NMOS 구동 전류를 능동 영역이 좁은 디바이스에서 10 퍼센트 정도 떨어뜨리는 것으로 알려졌으며, 결함과 디바이스 누설 전류도 야기하는 것으로 밝혀졌다.

라이너의 산화는 상단과 하단의 트랜치 코너들을 둥글게 만든다. 상단 코너의 라운딩은 기생적인 코너 트랜지스터의 생성을 피하고 쓰레숄드 전압의 변동을 최소화하며, 게이트 유전체의 때 이른 파괴를 막는 데 있어서 매우 중요하다. 하단 구석의 라운딩은 스트레스로 인해 유도되는 결함들의 형성을 최소화시킨다. 이러한 결함들은 연이은 단계에서 전파될 경우 접합 누설을 야기할 수 있다. 희생층 산화물은 폴리싱과 패드 산화물 및 질화물의 제거에 이어 결함과 디바이스 수율의 저하를 가져올 수 있는 스트레스를 최소화시켜 준다.

우리는 Applied Materials사가 특허를 가지고 있는 ISSG(in-situ steam generation)가 다른 열 산화 방법들이 STI 라이너와 희생층 산화물을 성장시키는 데 있어서 갖는 한계를 해결해줄 줄을 알았다. 이 접근 방법은 원자 크기의 산소 라디칼을 생성하는데, 이것은 결정 방향 의존성의 감소로 인해 STI 트렌치의 상단 구석과 하단 구석들을 능동 영역의 소모를 최소화하면서 향상된 컨포멀리티로 한 단계에 라운딩 시켜 준다. 이러한 물리적 속성들은 메모리와 로직 디바이스 양쪽에서 디바이스 수율을 향상시키는 결과를 가져온다.

이 기법을 희생층 산화에 이용하면 상단 구석과 가장자리에서 트렌치의 재산화가 일어나지 않아 디바이스 수율도 개선된다. RTP의 빠른 온도상승률과 빠른 ISSG 산화 성장률로 인해 트렌치 코너와 측벽들에 산소가 소량 확산되므로 연이어 스트레스에 의해 유도되는 실리콘 결합들이 최소화된다. 우리의 접근 방법은 90 nm 이하 디바이스들을 위한 STI 라이너 산화 및 희생층 산화의 생산에 채택되고 있다.

스트레스를 제어하거나 상쇄하기 위한 또 다른 방법은 STI의 스트레스를 저지하기 위한 필름들을 추가시키는 것이다. 130 nm 기술에 있어서 흔히 쓰는 방법은 첫 번째 레이어간 유전체 바로 앞에 장력 스트레스를 받고 있는 질화물 층을 추가하는 것이다. 그 결과 10 퍼센트의 구동 전류 개선이 이루어졌다고 한다. 고려 대상이 되고 있는 또 다른 기법들 가운데는 선택적으로 성장시킨 에피택셜 SiGe가 있는데, 이것은 헤테로 접합 바이폴라 트랜지스터에 보다 흔히 사용된다. 물론 SiGe는 CMOS에는 새로운 소재로서, 시스템에 변형을 가하는 것 외에도 다른 여러 속성들을 갖고 있다. 이에 대해서는 스케일링 트랜지스터에 대한 부분에서 살펴 보도록 하자.

## 트랜지스터 스케일링

트랜지스터의 스케일링에서 고려할 사항은 크게 성능과 신뢰성의 두 가지가 있다. 성능은 주로 게이트 길이, 게이트 산화물의 두께, 그리고 접합부 깊이라는 세 가지 패러미터들을 스케일링함으로써 결정된다. 그러나 업체들은 이 패러미터들을 스케일링한 후에도 이 디바이스들이 여전히 신뢰성 있게 기능 하도록 해야 한다. 업계 표준은 이 디바이스들이 정상적인 동작 조건 하에서 최소한 십 년은 지속되어야 한다는 것이다. 따라서 Applied Materials사에서는 가능할 때마다 성능 및 신뢰성 요건들을 다루는 프로그램들을 적극 추진하고 있다.

## 게이트 길이 제어

게이트 에칭에 있어서 주된 문제점은 여전히 중요한 치수를 제어하는 것이다. 90 nm 기술 노드가 시험 생산 중이고 65 nm 기술이 개발 중에 있으므로 CD 제어 요건들은 더욱 엄격해지고 있다. 통상적으로, 130 nm 이하 기술 노드들의 물리적인 게이트 길이는 하프 피치(half pitch)의 50 퍼센트이다. 90 nm 노드에서는 물리적 게이트 길이가 45 nm인 경우를 찾는다. 3 시그마 CD 균일성 요건은 대개 물리적 CD의 백분율 예산으로서 주어지는데, 대부분의 경우 십 퍼센트이다. 이는 포토리소그래피를 포함한 포스트 에칭 CD 제어 요건이 90 nm의 경우에는 약 5 nm, 그리고 65 nm 기술 노드들의 경우에는 3 nm임을 뜻한다. 중요한 치수 제어 외에도, "게이트 산화물 리세스(recess)"의 감소는 중요한 요건이다. 3 nm 이하의 게이트 산화물 리세스가 허용 가능한 수치로 간주된다.

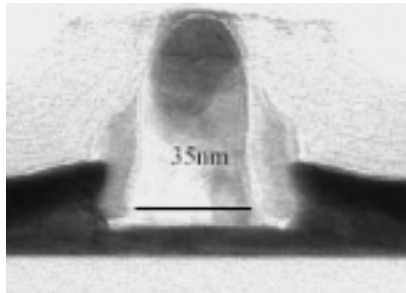


그림 2: 게이트 밑의 초박형 SOI 소스/드레인 나 중에 N로 규화될 게이트에 인접해 있다.

이 정도 수준의 포스트 에칭 CD 균일성을 달성하기 위해서는 인입되는 리소 CD의 균일성에 대해 보상할 수 있어야만 한다. 첨단 게이트 에칭 시스템은 인입 웨이퍼 상에서 체계적인 CD 비균일성을 해결할 수 있어야만 한다. 인입 웨이퍼의 CD 비균일성에 가장 크게 기여하는 것은 다이나믹 인접 효과(dense/iso 효과), 체계적인 웨이퍼 교차 효과(측면에서 측면까지, 혹은 중앙에서 가장자리까지), 그리고 WTW(wafer-to-wafer 및 lot-to-lot)이다. 이러한 소스들의 상대적인 기여도는 톨의 설정과 통합 방식(BARC, 하드 마스크 등의 사용)에 따라 꽤마다 다를 수 있다. 에칭 시스템과 공정은 세 레벨 모두에 자신들의 체계적인 CD 비 균일성을 갖고 있다. 에칭에만 특정한 CD 효과 가운데 하나가 도핑 효과이다. n 도핑된 라인들은 도핑되지 않거나 p 도핑된 라인들보다 더 큰 선풍을 잃는 경향이 있다.

다이 전체에 걸친 CD 제어는 물리적 및 화학적 플라즈마 속성들의 선택에 의해 주도된다. 이방성 에칭은 에칭과 침착 간에 적절한 균형을 이루어줌으로써 달성되므로, 양 공정들에 대한 인접 효과가 주어진 단계에서 전반적인 CD 마이크로로딩을 정의하게 된다. 그 사용 방법에 대한 좋은 예 가운데 하나는 CxFy를 포함하고 있는 기체를 다결정 실리콘 게이트의 주요 에칭 부분에 추가하여 측벽의 패시베이션 메커니즘을 SiOxCl<sub>y</sub> 베이스에서 CxFy 베이스로 바꿔 고밀도 iso 프로파일과 CD 차이를 줄이는 효과를 가져오는 것이다. 기체 상태에서 나온 탄소 측벽은 실리콘 산화물 베이스의 패시베이션(주로 에칭 프론트로부터 재침착에 의해 생성되므로 피쳐 다음에 있는 개방 영역에 민감한)보다 낮은 인접 감도를 보여 주는 것 같다. CF<sub>4</sub> or NF<sub>3</sub>를 추가해도 도핑 효과가 상당히 줄어든다는 점도 알아둘 필요가 있을 것이다.

통합에는 종종 게이트 라인의 인쇄된 CD에서 최종적인 물리적 CD에 이르기까지 전반적인 CD 감소가 요구된다. 이는 대개 레지스트 "트림"이라고 하는 공정 단계에서 이루어진다. 이것은 보다 등방성의 성격을 갖기 때문에 이 단계는 "isolated trim fast"나 "dense trim fast"가 되도록 설계할 수 있다. 실리콘 게이트 에칭과 유사하게, 이 단계의 튜닝을 위한 주된 기법은 에칭과 침착 공정들 간의 균형을 변화시키는 것이다. 바이어스 전력과 CxFy 기체의 추가를 dense-iso 에칭 동작을 조정하기 위한 패러미터로 이용할 수 있다. CD 균일성과 CD 마이크로로딩 외에 트림 단계에서의 주된 고려 사항 가운데 하나가 사용 가능한 레지스트 예산인데, 연이어지는 마스크 오픈 단계가 관여될 경우 특히 그렇다. 우리는 탄소 베이스의 소재로 구성되어 있으며 옵션으로 유전체 캡 레이어를 하드마스크 필름으로 갖는 첨단 패턴링 필름을 사용하면 트림 후에 얇은 유전체 상단 레이어를 열 수 있게 해주는 레지스트 두께를 제공한다. 연이어 이 레지스트를 벗겨내고 유전체 레이어를 이용하여 탄소 베이스의 하드마스크를 에칭할 수 있다. 유전체 레이어는 다결정 실리콘의 메인 에칭 작업시에 손쉽게 제거할 수 있다. 게이트 에칭이 완전히 이루어진 후에 탄소 하드마스크를 그 자리에서 벗겨낼 수 있다. 이는 이 마스크 스택의 또 다른 매우 매력적인 특징 가운데 하나인데, 유전체 SiON 베이스 하드마스크의 제거 능력은 특히 고밀도로 도핑되고 어닐링되지 않은 다결정 실리콘 게이트에 있어서 강렬한 인산에 의한 침식으로 인해 문제가 되기 때문이다.

웨이퍼 전반에 걸친 CD 분배는 웨이퍼 크기의 스케일에 좌우되며, 플라즈마 에칭 챔버와 그 튜닝 기능들의 설계에 의해 처리된다. 최소한 세 가지 패러미터들(이온 자속 밀도, 중립 자속 밀도 및 웨이퍼 표면 온도)을 실리콘 에

칭 챔버에서 중앙에서 가장자리에 이르는 CD 분배 제어에 사용할 수 있다.

WTW 및 lot-to-lot CD 제어에는 무엇보다도 안정적이고 반복 가능한 공정 챔버가 필요하다. 여기에는 잘 정의된 챔버 벽 조건들이 포함되는데, 이 부분이 라디칼의 재결합 가운데 상당 부분이 일어나는 곳이기 때문이다. 우리는 자가세척 공정 포트폴리오와 웨이퍼리스 건식 세척을 조합하면 이 문제를 해결할 수 있음을 알아냈다. 불화 기체를 추가하면 챔버 벽에 실리콘 산화물 베이스의 침착물이 형성되는 것을 억제할 수 있으며, 건식세척 시간을 크게 단축시켜 에칭의 생산성이 향상된다. 웨이퍼리스 건식 세척을 이용하면 비세척 방식, 즉 침착 공정들을 자가세척 공정들과 혼용 모드로 실행시킬 수 있다. 웨이퍼리스 건식 세척을 엔드포인트로 제어한다면 이 혼성 생산 방식을 자동화할 수 있다.

안정적인 챔버를 위해서는 고속의 데이터 수집을 통해 모든 챔버 패러미터들을 면밀히 모니터링하고 제어해야 한다. 전체 스펙트럼 방출은 물론, 음극으로 가는 이온 에너지와 자속 같은 플라즈마 패러미터들도 모니터링 하여 분석해야 한다. 중립 네트워킹과 주요 부품 분석 같은 데이터 감소 기법들을 이용하여 결함 감지와 실시간 공정 조정을 실현한다. 공정 조정은 인입 웨이퍼나 앞서 에칭된 웨이퍼로부터 오는 정보를 토대로 이루어질 수도 있다. 이 정보는 온보드 톨이나 혹은 독립형의 계측 톨로부터 나올 수 있다. 온보드 계측 솔루션들은 사이클 시간을 극적으로 단축시켜 주며, 본질적으로 에칭 된 웨이퍼로부터 얻는 결과들을 토대로 공정을 조정할 수 있는 유일한 방법이다(피드백 제어). 이 기법의 이점을 이용한 첫 번째 애플리케이션 가운데 하나는 에칭된 레지스트 프로파일 측정을 토대로 한 레지스트 트림 시간의 조정이다(피드 포워드 제어). 이 통합 기술은 이제 생산에 이용되고 있으며, 리쏘그래피와 에칭의 상관 관계에 대한 귀중한 통찰력을 모든 웨이퍼를 계측했을 때만 가능한 수준에서 제공한다. 인출 웨이퍼를 토대로 트림 시간을 조정하는 옵션(피드백 제어)을 제공하기 위해 우리는 통합 웨이퍼 처리가 에칭 된 웨이퍼의 프로파일을 이것이 에칭 시스템을 떠나기 전에, 즉 세척이 이루어지기 전에 측정할 수 있도록 해준다는 사실을 알았다. 이 기법은 wafer-to-wafer와 lot-to-lot CD 균일성을 더욱 떨어뜨리며, 사이클 시간을 극적으로 단축시켜 주는데, 이는 트림 시간의 send-ahead 룩에 대한 조정을 자동화할 수 있기 때문이다.

이러한 예들은 첨단 게이트 에칭이 제조되는 각 칩의 트랜지스터 하나하나에 대해 최고로 엄밀한 CD 제어 능력을 달성한다는 궁극적인 목표를 이루기 위해 갈수록 더 광범위한 기술들에 의존하고 있음을 보여준다.

게이트 산화물의 두께 스케일링은 디바이스의 성능 타겟을 달성하는 데 있어서 매우 중요하지만, 스케일링 된 유전체들은 먼저 누설 및 신뢰성 요건들을 충족시키지 않으면 안 된다. 130 nm 노드에 필요한 두께(약 2.0 nm) 및 열(약 1050도에서 1.6 초간) 예산부터 시작해서, 게이트 산화물에 질소를 포함시키는 것은 게이트 폴리에서 실리콘 기판으로 이루어지는 B-penetration을 막기 위한 필요 조건이었다. 유전체의 질소 성분은 게이트 누설을 줄이는 추가적인 이점을 제공한다. 산질화물은 in situ RTP 어닐링과 클러스터링 된 DPN(Decoupled Plasma Nitridation) 기술을 이용하여 90 nm 기술로 성공적으로 확장되었는데, 그 두께는 1.2~1.6 nm 범위이다. 이 in situ 어닐링은 WTW 및 WIW(within wafer) 균일성을 개선하는 데 있어서 특히 중요한 것으로 판명되었다. 이처럼 개선된 WTW 성능은 공정의 생산 제어에 있어서 매우 중요하다. 생산 단계들 사이의 대기 시간과 초박형의 게이트 유전체 상에 흡수된 오염도 최종적인 EOT에 1 A 이상 영향을 미치는 것으로 나타났다.

산질화물 게이트 유전체를 65 nm로 확장하는 데 있어서 주된 해결 과제는 이동성을 크게 떨어뜨리지 않고 1.0 nm에서의 누설 및 신뢰성 요건들을 충족시키는 것이다. DPN 기술을 이용하여 완전히 클러스터링 된 (PNA 통한 베이스 산화물) 게이트들은 허용 가능한 누설 및 신뢰성을 가지면서 1.2 nm 이하의 EOT를 달성하는 한편으로 높은 이동성을 유지하는 것으로 나타났다(그림 1a). 이 클러스터링은 EOT 스케일링과 WTW, WIW 균일성은 물론 트랜지스터 성능도 개선시키는 것으로 나타났다. 펄스 RF 기술과 같은 하드웨어 개선 사항들은 Vth 이동을 최소화하고, 플라즈마의 전자 온도(kTe)를 떨어뜨림으로써 구동 전류를 향상시키며, 산화물의 질소 프로파일에 대한 제어 능력을 향상시키는 것으로 나타났다(그림 1b).

## USJ 스케일링

트랜지스터 접합부의 스케일링은 접합부 깊이, 시트 저항 및 측면 단열을 동시에 최적화해야 하는 복잡한 문제이다. 이 패러미터들 각각은 트랜지스터의 짧은 채널 성능을 결정하는 데 있어서 매우 중요한 역할을 한다. 이 패러미터들은 대개 이온 주입 및 급속 열처리(RTA: rapid thermal annealing) 기술을 이용하여 제어하는데, 이에 대해 먼저 살펴 보도록 하자. 그 다음에는 선택적으로 성장된 에피택셜 Si와 SiGe로 상승시킨 소스/드레인(S/D) 및 S/D 확장물들에 대해 살펴 볼 것이다.

ITRS(International Technology Roadmap for Semi-conductors)에서는 90 nm 접합부의 깊이를 15~25 nm로, 시트 저항을 660 ohms/square 이하로 지정했다. 이 값들은 종래의 주입 및 스파이크 어닐링(50도의 Tpeak 내에서 1.7초간의 체류 시간) 기술들로 어렵게 충족된다. 따라서 장비 공급업체들의 주된 초점은 90 nm에 있어서의 생산성 향상과 공정 제어 능력이었다. 이온 주입의 높은 생산성은 B에 있어서 가장 어려운데, 이는 USJ 요건을 충족시키는 데 필요한 극도로 낮은 에너지 때문이다.  $1E15/cm^2$ 에 달하는 분량으로 이루어지는 500 eV의 B 임플란트가 S/D 확장에 보편적으로 사용된다. 우리는 높은 생산성을 달성했으며, 첨단 감속 렌즈 기술과 빔라인 디자인들을 알맞은 감속과 함께 사용함으로써 정확한 반복 능력을 달성했다. 이제는 시간당 통상적으로 35 개의 웨이퍼를 처리할 수 있다. 좋은 접합부 단열 달성의 중요성에 대해서도 살펴볼 필요가 있다. 단순한 주입 및 스파이크 어닐링 접합부들은 실리콘 웨이퍼 속으로 대략 8 nm/decade 정도 파고 들어간 단열 부분을 야기한다. 이는 먼저 Ge 주입을 이용하여 주입 전에 실리콘을 비결정질화함으로써 6 nm/decade로 개선할 수 있다. 또한 B 확산을 절제시키는 F와 같은 종류들을 공동주입함으로써 5 nm/decade로 더욱 개선할 수 있다. 이 접합 단열은 ITRS 사양인 4 nm/decade보다는 다소 높지만, 90 nm 디바이스들은 잘 기능하는 것같이 보인다.

성공적인 대량생산의 열쇠는 물론 이처럼 적극적으로 스케일링 된 접합부들로 달성할 수 있는 제어 수준에 있다. 주입량과 에너지 정확도는 중요하다. 그러나 연구에 따르면 스파이크 어닐링 온도의 균일성이 제어해야 할 가장 중요한 패러미터라고 한다. 스파이크 온도 균일성은 디바이스 성능에 강력한 영향을 미치는데, 이는 소스/드레인 확장부의 측면 위치와 그로 인한 유효 채널 길이가 지수함수적으로 이 어닐링의 온도에 의존하기 때문이다. 이러한 온도 감도는 Pmos 트랜지스터 스레숄드 전압에서 볼 수 있는데, 이 전압은  $2 mV/^{\circ}C$  이상 변화하여 90 nm 기술에서  $5^{\circ}C$  이하의 온도 제어를 요구하게 된다. 이러한 감도는 디바이스 치수가 65 nm 노드로 스케일링 됨에 따라 증가한다.

이처럼 까다로운 디바이스 요건들은 모든 웨이퍼 상의 모든 지점들에서 온도 균일성을  $5^{\circ}\text{C}$ , 3 시그마 이내로 제어하는 스파이크 어닐링 기능을 통해 충족되고 있다. 이처럼 엄밀한 성능은 디바이스 수율을 높이고 웨이퍼 당 생산할 수 있는 최고속 칩의 수를 더욱 늘릴 수 있도록 해준다.

## 에피택셜 Si와 SiGe

앞서 언급했듯이, 스트레스는 디바이스 성능의 최적화에 있어서 제어해야 할 중요한 패러미터 가운데 하나이다. S. Thompson씨와 그의 동료들은 S/D 영역에 선택적으로 SiGe를 사용하면 MOSFET 디바이스의 구동 전류에 상당한 개선(최고 20 퍼센트)을 가져올 수 있다고 보고했다. 스트레인과 관련된 이동성의 향상 외에도, SiGe의 중요한 이점들은 또 있다. 첫째, SiGe는 Si보다 밴드 갭이 작으며, 따라서 반도체-규화물 인터페이스의 쇼트키 장벽이 줄어든다. 둘째, Ge은 Si에 포함되는 도펀트를 증가시킨다. 이 두 요소들은 소스/드레인의 접촉 및 시트 저항을 줄이는 데 기여하여 MOSFET 디바이스의 구동 전류 및 속도를 증가시킨다.

SiGe의 침착에는 상당한 해결 과제가 존재한다. 필름 두께 뿐만 아니라 Ge 및 도펀트 농도도 웨이퍼 전반에 걸쳐 균일하고 매번 재연 가능해야 한다. 두께와 두 농도를 제어해야 할 필요성은 그 자체가 하나의 해결 과제일 수밖에 없다. 에피택셜 침착 전에 Si 표면을 준비하는 일은 매우 중요한데, 에칭 단계에 의해 남겨진 잔류 오염물이나 손상부는 Epi 필름의 품질에 부정적인 영향을 미치거나 전혀 성장이 이루어지지 않는 결과를 가져올 수 있기 때문이다. 균일성, 재연성 및 표면 준비 요건들 외에도, SiGe 침착은 선택적이어야 한다. 즉, 유전체 영역들에서 아무런 침착 없이 Si의 외곽 부분에만 일어나야 하는 것이다.

디바이스가 계속 스케일링 되고 접합부들이 알아짐에 따라, 누설량은 크게 증가할 수 있다. 이런 일이 일어나지 않도록 막기 위한 방법중 하나는 게이트 유전체의 수준 아래에 있는 규화물 영역의 깊이를 줄이는 것이다. 그러나 규화물의 두께 감소는 시트 저항을 늘리는 바람직하지 못한 결과를 야기한다. 접촉 저항을 늘리지 않고 누설 문제를 해결하기 위해, 선택적인 에피택시를 이용하여 게이트 유전체 수준 위에 복돋워진 소스/드레인 영역들을 형성시킬 수 있다. Si Epi가 희생층으로 사용되는데, 이것은 규화 공정에서 소멸되어 버리기 때문이다. 복돋워진 소스/드레인의 사용은 완전 공핍 SOI 디바이스에 있어서 절대적으로 필요한 일이 되고 있다. 복돋워진 소스/드레인을 갖는 그 같은 트랜지스터 구조의 예를 그림 2에서 볼 수 있다. 이 공정 흐름에는 스페이스(spacer)의 구성, Epi 침착 작업의 수행, 그리고 복돋워진 영역들의 금속 배선화가 수반된다.

규화를 위한 금속의 선택이 지오메트리가 작은 디바이스에 있어서 매우 중요해졌다. 고려해야 할 요소들 가운데는 Si (혹은 SiGe), 규화시의 소모, 낮은 저항성 단계에 도달하기 위해 필요한 열 예산, 낮은 저항성, 규화물의 열 안정성이 있다. 이중에 가장 유망한 요소들 중 하나는 Ni로서, 이것은 낮은 저항의 단결정 규화물과 단결정 germanosilicide 화합물을 형성한다.

요약하자면, 90 nm 기술 노드를 위한 FEOL의 문제점은 그다지 크지 않다. 기존 장비 세트를 확장하거나 기존 장비 세트로 업그레이드하는 것만으로도 목표물들이 요구하는 성능과 신뢰성을 충족시키기에는 대부분 충분했다. 이러한 공정들에서 우리는 첨단 공정 제어, 균일성의 향상, 생산성 향상, 또는 집중된 공정 개발로 충분하다는 점을 보여 주었다. 새로 선보인 소재나 공정들로는 게이트 산화물의 플라즈마 규화물(DPN), 탄소 베이스의 하드 마스크, 그리고 선택적으로 성장된 Si 및 SiGe를 들 수 있다. 미래의 기술들은 보다 까다로워질 것이다. 현재 논의되고 있는 것들 몇 가지만 들어도 하이-k 게이트 유전체, 금속 게이트 전극, 첨단 임플란트, 그리고 밀리초 어닐링 등이 있다. 최신 기술 노드의 경우와 마찬가지로, 이러한 새로운 소재 및 공정에 일찍 뛰어드는 것이 매우 중요하므로 이미 시작되고 있으며 그 속도도 빨라지기 시작하고 있다. □